

PAT-NO: JP02001024947A

DOCUMENT-IDENTIFIER: JP 2001024947 A

TITLE: PHOTOELECTRIC CONVERSION CHIP, IMAGE SENSOR
AND IMAGE
SENSOR UNIT

PUBN-DATE: January 26, 2001

INVENTOR-INFORMATION:

NAME	COUNTRY
SAWADA, KOJI	N/A
KOZUKA, HIRAKI	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
CANON INC	N/A

APPL-NO: JP11193344

APPL-DATE: July 7, 1999

INT-CL (IPC): H04N005/335, H01L027/146

US-CL-CURRENT: 257/E27.132

ABSTRACT:

PROBLEM TO BE SOLVED: To prevent the deterioration of an image by means of various noises by providing a plurality of light receiving means having a photoelectric converting element and an amplifier means and providing a dummy pixel with a configuration having the amplifier means without having the photoelectric conversion element.

SOLUTION: A system is provided with a plurality of light receiving means 21 having the photoelectric conversion element for converting a light signal into an electric signal and having the amplifier means for amplifying the

converted
electric signal and also with the dummy pixel 20 with the
configuration where
the amplifier means is disposed but the photoelectric conversion
element is not
disposed. That is, the means 21 are constituted in the same way as
the
conventional ones. Besides, the dummy pixel 20 is provided with the
configuration being the same as the one where the photoelectric
conversion
elements 2-1 to 2-m, for example, are removed from the light
receiving means
21. Then a pre-shift register 27 is provided with a configuration
for
previously reading a noise component which occurs in a constant
current source
circuit 8 and held by a holding capacity 26 before reading the
electric signal
which is converted by the photoelectric conversion element 2-a and
held by the
holding capacity 6.

COPYRIGHT: (C)2001,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-24947

(P2001-24947A)

(43)公開日 平成13年1月26日(2001.1.26)

(51) Int. Cl. ⁷	識別記号	F I	テ-マ-ト*(参考)
H 0 4 N 5/335		H 0 4 N 5/335	E 4 M 1 1 8
H 0 1 L 27/146		H 0 1 L 27/14	A 5 C 0 2 4

審査請求 未請求 請求項の数19 O.L (全 11 頁)

(21)出願番号	特願平11-193344	(71)出願人	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22)出願日	平成11年7月7日(1999.7.7)	(72)発明者	澤田 幸司 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
		(72)発明者	小塚 開 東京都大田区下丸子3丁目30番2号 キヤ ノン株式会社内
		(74)代理人	100065385 弁理士 山下 穰平

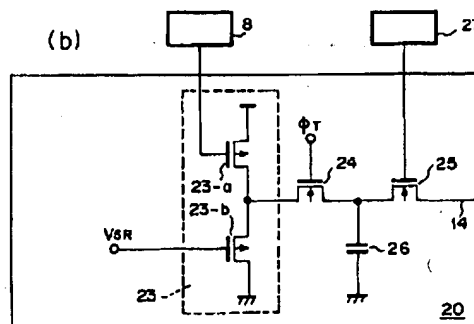
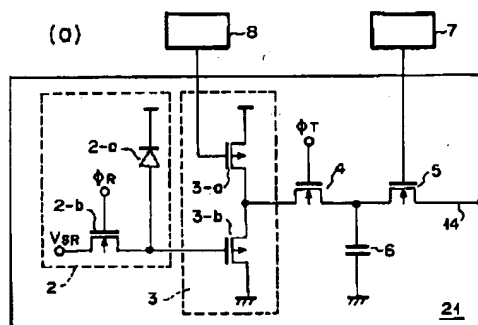
最終頁に続く

(54)【発明の名称】 光電変換チップ及びイメージセンサ、イメージセンサユニット

(57) 【要約】

【課題】 マルチチップ型イメージセンサに備える光電変換チップで発生するノイズによる画像の劣化を防止する。

【解決手段】 光信号を電気信号に変換する光電変換素子及び該変換された前記電気信号を増幅する増幅手段を有する複数の受光手段と、前記増幅手段を有しかつ前記光電変換素子を有しない構成のダミー画素とを備える。



【特許請求の範囲】

【請求項1】 光信号を電気信号に変換する光電変換素子及び該変換された前記電気信号を増幅する増幅手段を有する複数の受光手段と、

前記増幅手段を有しかつ前記光電変換素子を有しない構成のダミー画素とを備えることを特徴とする光電変換チップ。

【請求項2】 前記受光手段は、前記増幅された前記電気信号を保持する第1の保持手段を備え、

前記ダミー画素は、前記ダミー画素本体の増幅手段により増幅された電気信号を保持する第2の保持手段を備えることを特徴とする請求項1に記載の光電変換チップ。

【請求項3】 前記各々の増幅手段は、前記電気信号を入力する第1のトランジスタと、負荷である第2のトランジスタとを備え、

前記第2のトランジスタは、前記各々の受光手段及び前記ダミー画素に共通のバイアス源と接続されていることを特徴とする請求項1に記載の光電変換チップ。

【請求項4】 前記各々の増幅手段は、ソースフォロワであることを特徴とする請求項3に記載の光電変換チップ。

【請求項5】 前記受光素子及び前記ダミー画素に備える各々の前記増幅手段によって増幅された信号は、前記第1の保持手段及び前記第2の保持手段に同時に読み出されることを特徴とする請求項1に記載の光電変換チップ。

【請求項6】 前記受光手段の出力信号と、前記ダミー画素の出力信号との差分を行う差分手段を備えることを特徴とする請求項1に記載の光電変換チップ。

【請求項7】 前記差分手段は、前記ダミー画素の出力信号を一定の基準電圧にクランプするクランプ手段とを備えることを特徴とする請求項6に記載の光電変換チップ。

【請求項8】 前記変換された電気信号を順次走査して出力する走査手段を備え、

前記光電変換素子は、前記順次走査しているときに前記光信号を蓄積することを特徴とする請求項1に記載の光電変換チップ。

【請求項9】 請求項1～8のいずれか1項に記載の複数の光電変換チップを同一基板上に備え、各々の前記光電変換チップを電気的に接続することを特徴とするイメージセンサ。

【請求項10】 前記電気信号は、各々の前記光電変換チップの受光手段から連続して出力されることを特徴とする請求項9に記載のイメージセンサ。

【請求項11】 前記第2の保持手段に保持されている前記増幅手段で生じる前記信号をあらかじめ読み出す読出手段を備えることを特徴とする請求項9に記載のイメージセンサ。

【請求項12】 前記クランプ手段は、あらかじめ読み

出した前記増幅手段で生じる前記信号をクランプすることを特徴とする請求項9に記載のイメージセンサ。

【請求項13】 光電変換素子と前記光電変換素子からの信号を出力するための出力手段とを有する受光手段を複数配列した光電変換チップを複数電気的に接続したイメージセンサにおいて、

前記光電変換チップ内の複数の前記出力手段を共通に駆動するバイアス源と、前記バイアス源を共通にすることにより生じるノイズを除去する除去手段とを備えることを特徴とするイメージセンサ。

【請求項14】 前記バイアス源は、定電流源であることを特徴とする請求項13に記載のイメージセンサ。

【請求項15】 前記除去手段は、前記出力手段を備えるダミー画素の出力信号を、前記受光手段の出力信号から差分する差分手段を備えることを特徴する請求項13に記載のイメージセンサ。

【請求項16】 光信号を電気信号に変換する光電変換素子と、その光電変換素子の電気信号を読み出す出力手段とを有する複数の光電変換チップを電気的に接続したイメージセンサにおいて、

前記光電変換チップの各々に前記出力手段を有するダミー画素を備えることを特徴とするイメージセンサ。

【請求項17】 前記ダミー画素は、前記光電変換チップのピッチが等間隔となる位置に配置することを特徴とする請求項15又は16に記載のイメージセンサ。

【請求項18】 被照明面を照明する光源と、前記被照明面の透過光又は反射光を受光する請求項9～16のいずれか1項に記載のイメージセンサとを備えることを特徴とするイメージセンサユニット。

【請求項19】 前記受光手段の各々を直列に配列し、前記ダミー画素を前記直列に配列した受光素子と直列に配置しないことを特徴とする請求項1に記載の光電変換チップ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ダミー画素を備える光電変換チップ及びイメージセンサ、イメージセンサユニットに関する。

【0002】

【従来の技術】従来、リニアイメージセンサは、ファクシミリ、スキャナ等の読み取り装置として用いられている。リニアイメージセンサは、原稿からの反射光、透過光の光信号を電気信号に変換する光電変換チップを備えている。光電変換チップは、シリコンウエハ上で形成されるものである。そのため、光電変換チップのセンサの大きさは制限される。

【0003】そこで、1つの光電変換チップで構成した読み取り装置は、原稿からの反射光等を、縮小光学系を用いて縮小して、それを光電変換チップ上に投影して画像を読み取る。

【0004】しかし、リニアイメージセンサに縮小光学系を用いると、光学系のスペースを多くする必要があり、小型化が困難である。そのため、これを回避するために、複数の光電変換チップを直線上に配置したマルチチップ型のイメージセンサを用いた読み取り装置が、たとえば特開平6-189065号公報、特開平10-191173号公報に掲載されている。

【0005】図8は、上記公報に掲載されているような読み取り装置のイメージセンサを示す図である。図9は、図8の受光手段21-1-1等の等価回路図である。図10は、図8のイメージセンサの動作を示すタイミングチャートである。

【0006】このイメージセンサは、光電変換チップ1-1~1-mを備えており、これの内部に、受光手段21-1-1~21-m-nを有している。したがって、このイメージセンサは、(m×n)個の受光手段をX方向に有している。

【0007】ここで、図9、図10を用いて受光手段21について説明する。受光手段21は、図示しない光源から原稿へ照明された光の反射光等を、光信号として受光する光電変換素子2-aと、センサリセット信号φ_Rに従って光電変換素子2-aをセンサリセット電圧V_{SR}にリセットするリセット手段2-bとを備えている。光信号は、光電変換素子2-aで電荷（電気信号）に変換される。

【0008】また、ソースフォロワ回路3は、負荷トランジスタ3-a及び入力トランジスタ3-bを備え、入力トランジスタ3-bのゲートは、光電変換素子2-aと接続している。光電変換素子2-aで発生した電荷は、光電変換素子2-aの容量及び光電変換素子2-aと入力トランジスタ3-bとの接続点の寄生容量によって電圧振幅に変換され、ソースフォロワ回路3の出力に電圧振幅として出力される。

【0009】ソースフォロワ回路3に流れる電流は、定電流源回路8及び負荷トランジスタ3-aによって制御され、たとえばソースフォロワ回路3の出力を読み出されない場合には、電流量を少なくして、イメージセンサの消費電力を低減している。なお、定電流源回路8は、1チップ内のすべてのソースフォロワ回路3に接続されている。

【0010】また、受光手段21は、ゲートに図示しないタイミング回路からスタート信号に基づく読み出し信号φ_Iにより、ON/OFFを制御されるMOSスイッチ4と、図示しないタイミング回路によって制御されるシフトレジスタ7から出力されるシフトレジスタ出力信号によってON/OFFが制御されるMOSスイッチ5とを備えている。

【0011】さらに、MOSスイッチ4がONされることにより、ソースフォロワ回路3の出力を保持する保持容量6と、保持容量6に保持された電圧信号がMOSス

イッチ5を介して出力される共通出力線14とを備えている。

【0012】また、図8に示すイメージセンサは、共通出力線14-1~14-mを介して入力される電気信号を増幅するゲインアンプ9-1~9-mと、ゲインアンプ出力電圧を固定電圧V_{REF}にクランプすることでゲインアンプ9-1~9-mの直流オフセット成分を除去するクランプ回路10-1~10-mと、バッファアンプ11-1~11-mと、出力選択スイッチ12-1~12-mと、光電変換チップ1-1~1-mの出力信号を図示しない画像制御部などへ出力する出力端子15とを備えている。

【0013】さらに、リセットスイッチ13-1~13-mは、共通出力線14-1~14-mをV_{CR}にリセットするリセットスイッチであり、保持容量6から信号を読み出した後に、共通出力線リセット信号φ_{CR}によって共通出力線14-1~14-mをV_{CR}にリセットする。

【0014】つづいて、図10を用いて、図8に示すイメージセンサの動作について説明する。スタート信号が入力されると、タイミング回路からすべてのMOSスイッチ4のゲートに、読み出し信号φ_Iが入力され、MOSスイッチ4がONされる。これにより、光電変換素子2に蓄積された光信号に対応する電圧振幅信号がソースフォロワ回路3を介して保持容量6に保持される。

【0015】なお、出力選択スイッチ12-1は、センサ出力の前までにONされていればよく、また、クランプスイッチは、センサ出力の前までにOFFされていればよい。

【0016】つぎに、センサリセット信号φ_RがONされ、光電変換素子2-aが、リセット手段2-bによって、センサリセット電圧V_{SR}にリセットされる。その後、光電変換素子2-aは、光信号の蓄積を開始する。さらに、共通出力線14-1~14-mをリセットするために、共通出力線リセット信号φ_{CR}がクロック信号に従って出力される。

【0017】そして、シフトレジスタ7から各受光手段に対応するシフトレジスタ出力信号が出力され、MOSスイッチ5のゲートに入力されると、保持容量6に保持された信号が、順次共通出力線14-1~14-mに読み出される。

【0018】共通出力線14-1~14-mに読み出された信号は、図8に示すゲインアンプ9-1~9-mに入力される。ゲインアンプ9-1~9-mは、入力された信号を増幅して、クランプ回路10-1~10-mに出力する。

【0019】クランプ回路10-1~10-mは、ゲインアンプ9-1~9-mなどの直流オフセット成分を除去するため、受光手段で得た信号を読み出す前に、共通出力線14-1~14-mをリセットしたときのゲインアンプ出力電圧を固定電圧V_{REF}にクランプし、クラン

ブ後の電位変化を出力する。

【0020】そして、直流オフセット成分を除去された電荷は、バッファアンプ11-1~11-m、出力選択スイッチ12-1~12-mを介して、出力端子15に出力される。ここで、出力選択スイッチ12-1~12-mは、自身の関わる受光手段が信号を出力していればONされ、そうでなければOFFされる。

【0021】すべての受光手段21-1-1~21-m-nから信号を読み出した後に、再度、スタート信号が入力されると、上記一連の動作を繰り返す。

【0022】ところで、縮小光学系イメージセンサの光電変換チップは、複数の光電変換素子がアレイ上に配置されたうちの一部の光電変換素子に遮光膜などで遮光し、ダミー画素とすることで暗時出力の基準値を出力して、明時出力からこの基準値との差分を取ることによって、受光手段において発生する固定パターンノイズ(FPN)を除去していた。

【0023】

【発明が解決しようとする課題】しかし、マルチチップ型イメージセンサのセンサチップは、ダミー画素を含む受光手段を配置することは困難である。各々のセンサチップは、光電変換チップのつなぎ目を挟む光電変換素子間の距離と光電変換チップ内の光電変換素子間の距離とがほぼ等しくなるように配置しているためである。

【0024】また、マルチチップ型イメージセンサの出力信号には、光電変換素子やソースフォロワ回路で発生するランダムノイズやFPNのほかに、定電流源回路でランダムノイズが重畳されている。しかし、定電流源回路は、それぞれの光電変換チップで独立に備えているため、それぞれの光電変換チップの定電流源回路で発生したランダムノイズに値には相関がない。このため、イメージセンサの出力信号は、光電変換チップのつなぎ目のところで段差ができ、その段差は読み出すたびに変動する。

【0025】この出力信号を画像信号に変更して、画像としてみた場合には、光電変換チップ単位でむらのある横線、縦線が現れ、画像劣化の原因となる。これは、マルチチップ型イメージセンサに特有の問題である。

【0026】そこで、本発明は、マルチチップ型イメージセンサで発生する種々のノイズによる画像の劣化を防止することを課題とする。

【0027】さらに、本発明は、ノイズによる画像の劣化を防止するイメージセンサを備えるイメージセンサユニットを提供することを課題とする。

【0028】

【課題を解決するための手段】上記課題を解決するために、本発明は、光信号を電気信号に変換する光電変換素子及び該変換された前記電気信号を増幅する増幅手段を有する複数の受光手段と、前記増幅手段を有しかつ前記光電変換素子を有しない構成のダミー画素とを備える。

【0029】また、本発明のイメージセンサは、上記の複数の光電変換チップを同一基板上に備え、各々の前記光電変換チップを電気的に接続する。

【0030】さらに、本発明は、光電変換素子と前記光電変換素子からの信号を出力するための出力手段とを有する受光手段を複数配列した光電変換チップを複数電気的に接続したイメージセンサにおいて、前記光電変換チップ内の複数の前記出力手段を共通に駆動するバイアス源と、前記バイアス源を共通にすることにより生じるノイズを除去する除去手段とを備える。

【0031】さらにまた、本発明のイメージセンサユニット被照明面を照明する光源と、前記被照明面の透過光又は反射光を受光する上記のイメージセンサとを備える。

【0032】

【発明の実施の形態】以下、図面を参照して本発明の実施形態について説明する。

【0033】(実施形態1)図1は、本実施形態のマルチチップ型イメージセンサの内部構成図である。図2(a)は、図1の受光手段21-1-1~21-m-nの内部構成図である。図2(b)は、ダミー画素20-1~20-mの内部構成図である。なお、図8、図9と同様の部材には同一の符号を付している。

【0034】図2(a)に示すように、受光手段21-1-1~21-m-nは、従来のものと同様の構成にしている。また、図2(b)に示すように、ダミー画素20-1~20-mは、受光手段21-1-1~21-m-nからたとえば光電変換素子2-1~2-m(図2(a))を削除したものと同様の構成である。

【0035】また、27はプレシフトレジスタであり、後述するように、光電変換素子2-aによって変換され、保持容量6に保持された電気信号の読み出しに先立ち、定電流源回路8で発生し、保持容量26に保持されたノイズ成分をあらかじめ読み出すものである。

【0036】図3は、図1の動作を示すタイミングチャートである。つづいて、図1に示すイメージセンサの動作について説明する。図3に示すように、スタート信号が入力されると、図示しないタイミング回路からすべてのMOSスイッチ4、24のゲートに、読み出し信号φ_rが入力され、MOSスイッチ4、24がONされる。

【0037】これにより、光電変換素子2に保持された光信号に対応した電圧振幅信号及びダミー画素の出力信号が、一括して読み出され、ソースフォロワ回路3、23の出力を介し、保持容量6、26に保持される。

【0038】つぎに、センサリセット信号φ_RがONされ、光電変換素子2-aが、リセット手段2-bによって、センサリセット電圧V_{SR}にリセットされる。その後、光電変換素子2-aは、電荷の保持を開始する。さらに、共通出力線14-1~14-mをリセットするた
めに、共通出力線リセット信号φ_{CR}がクロック信号に従

って出力される。以上全チップ共通の動作を説明した。

【0039】つぎに、図示しないタイミング回路によって1チップ目のプレシフトレジスタ27を動作し、MOSトランジスタ25をONして、保持容量26に保持されたダミー画素20-1の出力信号を共通出力線14-1に読み出す。共通出力線14-1に読み出された信号は、図1に示すゲインアンプ9-1に入力される。ゲインアンプ9-1は、入力された信号を増幅して、クランプ回路10-1に出力する。

【0040】クランプ回路10-1は、ダミー画素の出力信号を固定電圧 V_{REF} にクランプする。つづいて、シフトレジスタ7から各受光手段に対応するシフトレジスタ出力信号が出力され、MOSスイッチ5のゲートに入力されると、保持容量6の保持された信号が、順次共通出力線14-1に読み出される。

【0041】共通出力線14-1に読み出された信号は、図1に示すゲインアンプ9-1に入力される。ゲインアンプ9-1は、入力された信号を増幅して、クランプ回路10-1に出力する。

【0042】したがって、クランプ回路10-1において、受光手段21-1-1~21-1-nから出力されるノイズ成分を含んだ電気信号からダミー画素20-1~20-mの出力信号を減算することによって、電気信号からノイズ成分を除去することができる。

【0043】この後、光電変換チップ1-1の出力選択スイッチ12-1をONして、他の光電変換チップ12-2~12-nの出力選択スイッチ12-2~12-nをOFFにする。そして、直流オフセット成分を除去された信号は、バッファアンプ11-1、出力選択スイッチ12-1を介して、出力端子15に出力される。共通出力線14-1に信号を読み出すごとにリセットスイッチ13-1によって共通出力線14-1をリセットする。

【0044】2チップ目の光電変換チップ1-2は、1チップ目の光電変換チップの最後の受光手段21-1-nを読み出す前に、光電変換チップ1-1から図示しない制御信号を受け、2チップ目のプレシフトレジスタ27が動作する。

【0045】これにより、2チップ目のMOSスイッチ25がONとなり、保持容量26に読み出されたダミー画素20-2の出力信号を共通出力線14-2に読み出す。クランプ回路10-2は、ゲインアンプ9-2を介して出力されたダミー画素の出力信号を固定電圧 V_{REF} にクランプする。

【0046】1チップ目の最後の受光手段から光信号が出力された後、1チップ目の出力選択スイッチ12-1をOFFにし、2チップ目の出力選択スイッチ12-2をONにする。つづいて、シフトレジスタ7がクロック信号に同期して、受光手段21-2-1~受光手段21-2-nのMOSスイッチを順次ONとし、保持容量に

読み出された光信号をゲインアンプ9-2、クランプ回路10-2、出力アンプ11-2、出力選択スイッチ12-2を介して、出力端子15に出力する。

【0047】以上の動作を、光電変換チップ1-mまで繰り返して、 $(n \times m)$ 個の受光手段21-1-1~21-m-nからの電気信号を切れ目なく出力する。その後、再度、外部からスタート信号が入力されると、上述の動作を繰り返す。

【0048】以上、本実施形態のイメージセンサは、MOSスイッチに用いられるMOSトランジスタの導電型や定電流源回路8の形式は特に限定されるものではなく、バイアス源として定電圧源を用いてもよい。また、光電変換素子には、フォトダイオードやフォトリスタ等を適用することができる。

【0049】(実施形態2)図4は、本実施形態のマルチチップ型イメージセンサの内部構成図である。図5(a)は、図4の受光手段31-1-1~31-m-nの内部構成図である。図5(b)は、ダミー画素30-1~30-mの内部構成図である。なお、図1、図2と同様の部材には、同一の符号を付している。

【0050】図4に示すように、本実施形態のイメージセンサは、光電変換チップ1-1~1-mを備えており、この内部に、受光手段31-1-1~31-m-nを有している。したがって、このイメージセンサは、 $(m \times n)$ 個の受光手段をX方向に有している。

【0051】ここで、図5(a)、図6を用いて、本実施形態の受光手段について説明する。受光手段31は、実施形態1と同様に、光電変換素子2-aと、リセット手段2-bとを備えている。光信号は、光電変換素子2-aで電荷(電気信号)に変換される。

【0052】また、受光手段31は、ゲートに入力される図示しないタイミング回路からスタート信号に基づく読み出し信号 ϕ_{rs} により、ON/OFFを制御されるMOSスイッチ44と、図示しないタイミング回路によって制御されるシフトレジスタ7から出力されるシフトレジスタ出力信号によってON/OFFが制御されるMOSスイッチ45とを備えている。

【0053】さらに、MOSスイッチ44がONされることにより、ソースフォロフ回路3の出力を保持する保持容量46と、保持容量46の電圧信号がMOSスイッチ45を介して出力される共通出力線37とを備えている。

【0054】また、受光手段31は、図示しないタイミング回路から出力されるノイズ信号読み出し信号 ϕ_{tn} により、ON/OFFを制御されるMOSスイッチ47と、図示しないタイミング回路によって制御されるシフトレジスタ7から出力されるシフトレジスタ出力信号によってON/OFFが制御されるMOSスイッチ48とを備えている。

【0055】さらに、MOSスイッチ47がONされる

ことにより、リセット時の出力信号（ノイズ信号）を保持する保持容量49と、保持容量49のノイズ信号がMOSスイッチ48を介して出力される共通出力線38とを備えている。ここで、このノイズ信号は、MOSTランジスタのしきい値ばらつきによって発生するソースフォロワ回路の出力ばらつきによるFPNである。

【0056】また、図4に示すイメージセンサは、共通出力線37-1～37-mを介して入力されるノイズ信号を含む電気信号を入力して差動アンプ34-1～34-mへ出力するバッファアンプ32-1～32-mと、共通出力線38-1～38-mを介して入力されるノイズ信号を入力して差動アンプ34-1～34-mへ出力するバッファアンプ33-1～33-mとを備えている。

【0057】なお、クランプ回路10、バッファアンプ11、出力選択スイッチ12及び出力端子15は実施形態1と同様である。

【0058】また、リセットスイッチ35-1～35-mは、共通出力線37-1～37-mを V_{CR} にリセットするリセットスイッチであり、リセットスイッチ36-1～36-mは、共通出力線38-1～38-mを V_{CR} にリセットするリセットスイッチであり、保持容量46、49から電気信号、ノイズ信号を読み出した後に、共通出力線リセット信号 ϕ_{CR} によって共通出力線37-1～37-m及び38-1～38-mを V_{CR} にリセットする。

【0059】図5(b)に示すように、ダミー画素30-1～30-mは、受光手段31-1-1～31-m-nからたとえば光電変換素子2-1～2-m(図5(a))を削除したのと同様の構成である。

【0060】図6は、本実施形態のマルチチップ型イメージセンサの動作を示すタイミングチャートである。つづいて、図4に示すイメージセンサの動作について説明する。図6に示すように、スタート信号が入力されると、図示しないタイミング回路からすべてのMOSスイッチ44、54のゲートに、読み出し信号 ϕ_{TS} が入力され、MOSスイッチ44、54がONされる。

【0061】これにより、光電変換素子2に保持された光信号に対応した電圧振幅信号及びダミー画素の出力信号が、一括して読み出され、ソースフォロワ回路3、23を介して保持容量46、56に保持される。

【0062】つぎに、センサリセット信号 ϕ_R がONされ、光電変換素子2-aが、リセット手段2-bによって、センサリセット電圧 V_{SR} にリセットされる。このとき、MOSTランジスタ47、57をONして、ノイズ(FPN)信号を一括して保持容量49、59に読み出す。その後、光電変換素子2-aは、電荷の保持を開始する。

【0063】さらに、共通出力線37-1～37-m、38-1～38-mをリセットするために、共通出力線

リセット信号 ϕ_{CR} がクロック信号に従って出力される。

【0064】つぎに、プレシフトレジスタ27を動作し、MOSTランジスタ55、58をONして、保持容量56、59に保持されたダミー画素30-1の出力信号を共通出力線37-1、38-1に読み出す。共通出力線37-1、38-1に読み出された信号及びノイズ信号は、図4に示すバッファアンプ32-1、33-1を介して、差動アンプ34-1へ入力される。

【0065】差動アンプ34-1は、バッファアンプ32-1の出力信号から33-1の出力信号を差分して、クランプ回路10-1に出力する。クランプ回路10-1は、差分アンプ34-1の出力信号を固定電圧 V_{REF} にクランプする。

【0066】つづいて、シフトレジスタ7から各受光手段に対応するシフトレジスタ出力信号が出力され、MOSスイッチ45、48のゲートに入力されると、保持容量46、49の保持電荷が、順次共通出力線37、38に読み出される。

【0067】共通出力線37、38に読み出された電荷及びノイズ信号は、図4に示すバッファアンプ32-1、33-1を介して、差動アンプ34-1へ入力される。差動アンプ34-1は、バッファアンプ32-1の出力信号から33-1の出力信号を差分して、クランプ回路10-1に出力する。

【0068】したがって、クランプ回路10-1において、受光手段31-1-1～31-1-nから出力されるノイズ成分を含んだ電気信号からダミー画素30-1の出力信号を減算することによって、電気信号からノイズ成分を除去することができる。そして、直流オフセット成分を除去された信号は、バッファアンプ11-1、出力選択スイッチ12-1を介して、出力端子15に出力される。

【0069】2チップ目の光電変換チップ1-2は、1チップ目の光電変換チップの最後の受光手段31-1-nを読み出す前に、光電変換チップ1-1から図示しない制御信号を受け、2チップ目のプレシフトレジスタ27が動作する。

【0070】これにより、2チップ目のMOSスイッチ55及び58がONとなり、保持容量56及び59に読み出されたダミー画素30-2の出力信号を共通出力線37-2及び38-2に読み出す。この出力信号と光電変換素子のリセット直後の信号は、バッファアンプ32-2及び33-2を介し、差動アンプ34-2によって差分を取り、クランプ回路39-2はに入力される。クランプ回路39-2は、ダミー画素の出力信号を固定電圧 V_{REF} にクランプする。

【0071】1チップ目の最後の受光手段から光信号が出力された後、1チップ目の出力選択スイッチ12-1をOFFにし、2チップ目の出力選択スイッチ12-2をONにする。

11

【0072】つづいて、シフトレジスタ7がクロック信号に同期して、受光手段31-2-1～受光手段31-2-nのMOSスイッチ45及び48を順次ONとし、保持容量46及び49に読み出された光信号及びリセット直後の信号をバッファアンプ32-3及び33-2を介し、差動アンプ43-2によって差分を取り、その出力をクランプ回路39-2、出力アンプ11-2、出力選択スイッチ12-2を介して、出力端子15に出力する。

【0073】以上の動作を、光電変換チップ1-mまで繰り返して、(n×m)個の受光手段21-1-1～21-m-nからの電気信号を切れ目なく出力する。その後、再度、外部からスタート信号が入力されると、上述の動作を繰り返す。

【0074】以上、本実施形態のイメージセンサは、MOSスイッチに用いられるMOSTランジスタの導電型や定電流源回路8の形式は特に限定されるものではなく、バイアス源として定電圧源を用いてもよい。また、光電変換素子には、フォトダイオードやフォトリンジスタ等を適用することができる。

【0075】(実施形態3)図7は、本実施形態の密着型イメージセンサユニットの断面図である。図7に示す密着型イメージセンサユニットは、実施形態1又は2に示したマルチチップ型イメージセンサを用いたイメージセンサユニットである。

【0076】図7に示す密着型イメージセンサユニットは、筐体104の上面に、原稿面に接する透明ガラス板105を備えている。また、LED光源109を備えた基板110は、出射光111が透明ガラス板105の上面に接する原稿面で反射されるような所定の角度で筐体104に備えられている。

【0077】また、光電変換チップ100を実装基板101に複数個配列したマルチチップ型イメージセンサ及び原稿面での反射光112を集光し、マルチチップ型イメージセンサ上に結像させるレンズアレイ108を筐体104に備えられている。

【0078】さらに、光電変換チップ100は、実装基板101上において保護膜103で覆われ、金属細線102によって、実装基板101の所望の回路に電気的に接続されている。また、実装基板101は、筐体104内に有する底板106にゴム板107を介して支えられている。

【0079】さらにまた、筐体104は、外部にたとえばスキャナ本体やファクシミリ本体などに接続するための電源、制御信号などの入出力用のコネクタを備えている。カラー画像を読み取るイメージセンサユニットでは、LED光源109を3色以上、たとえば赤、緑、青とする。

【0080】LED光源109が赤のみを発光している場合には、マルチチップ型イメージセンサを駆動して、

12

赤色情報を読み取る。つぎに、LED光源109が緑のみを発光している場合には、緑色情報を読み取る。LED光源109が青のみを発光している場合には、青色情報を読み取る。そして、これらの情報を組み合わせることによって、カラー原稿のカラー画像読み取りが可能となる。

【0081】

【発明の効果】以上説明したように、複数の受光手段は、光信号を電気信号に変換する光電変換素子及び該変換された前記電気信号を増幅する増幅手段を有し、ダミー画素は、前記増幅手段を有しかつ前記光電変換素子を有しない。そのため、本発明は、マルチチップ型イメージセンサに備える光電変換チップで発生するノイズによる画像の劣化を防止することができる。

【図面の簡単な説明】

【図1】本発明の実施形態1のマルチチップ型イメージセンサの内部構成図である。

【図2】図1の受光手段及びダミー画素の構成図である。

【図3】図1の動作を示すタイミングチャートである。

【図4】実施形態2のマルチチップ型イメージセンサの内部構成図である。

【図5】図4の受光手段及びダミー画素の構成図である。

【図6】図4の動作を示すタイミングチャートである。

【図7】実施形態3の密着型イメージセンサユニットの断面図である。

【図8】従来技術のイメージセンサの構成図である。

【図9】図8の受光手段の構成図である。

【図10】図8の動作を示すタイミングチャートである。

【符号の説明】

1-1～1-m 光電変換チップ

2 光電変換素子

2-a 光電変換素子

2-b リセット手段

3 ソースフォロウ回路

3-a、23-a 負荷トランジスタ

3-b、23-b 入力トランジスタ

4、5、24、25、44、45、47、47 MOSスイッチ

6、26、46、49 保持容量

7 シフトレジスタ

8 定電流源回路

9-1～9-m ゲインアンプ

10-1～10-m クランプ回路

11-1～11-m バッファアンプ

12-1～12-m 出力選択スイッチ

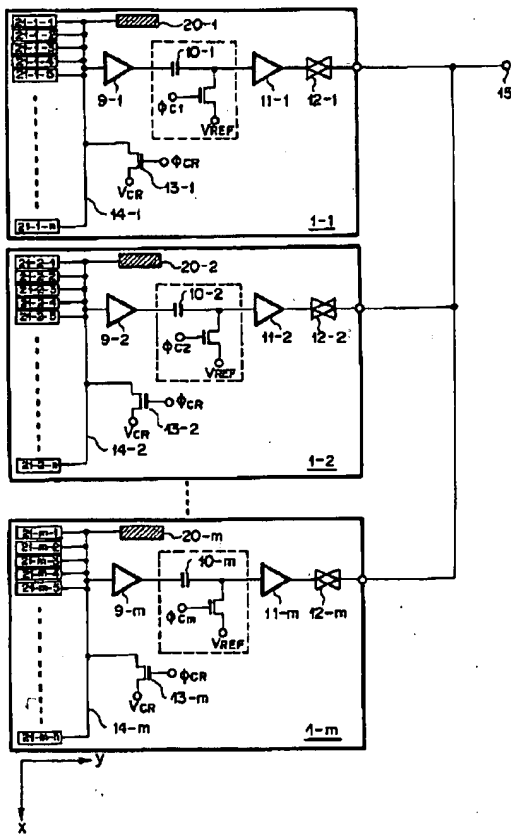
13-1～13-m、35-1～35-m、36-1～

36-m リセットスイッチ

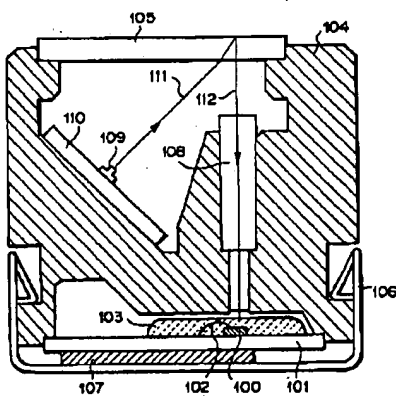
13

14-1~14-m、37-1~37-m、38-1~
38-m 共通出力線
15、37、38 出力端子
20-1~20-m、30-1~30-m ダミー画素
21-1-1~21-m-n、31-1-1~31-m

【図1】



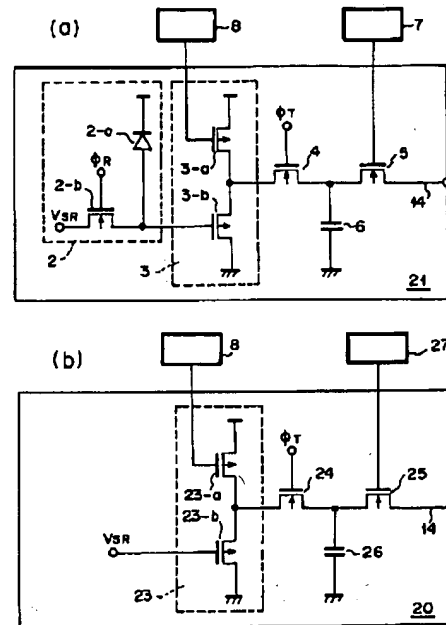
【図7】



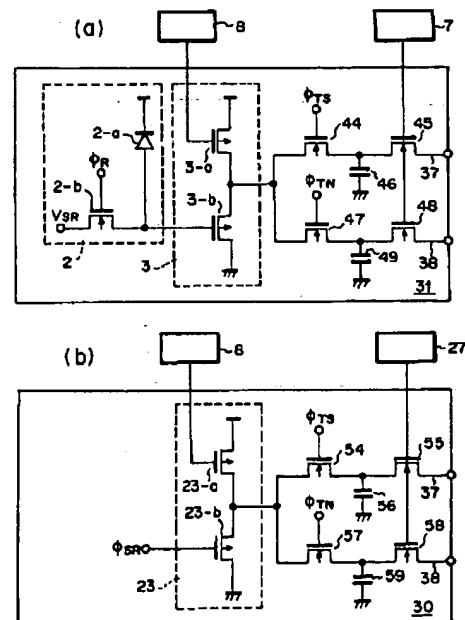
14

-n 受光手段
27 プレシフトレジスタ
32-1~32-m、33-1~33-m バッファア
ンプ
34-1~34-m 差動アンプ

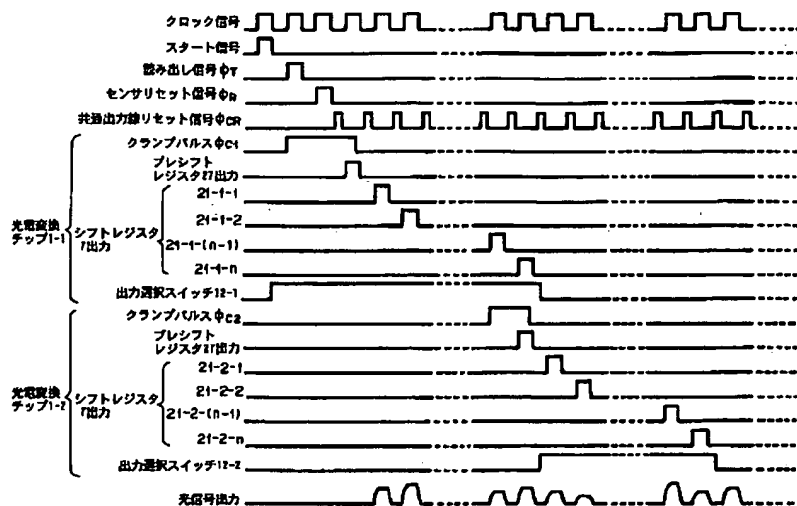
【図2】



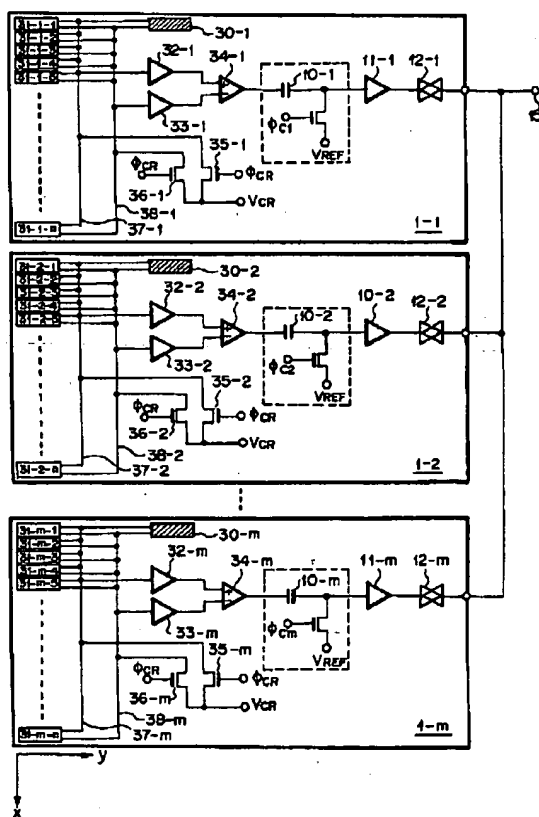
【図5】



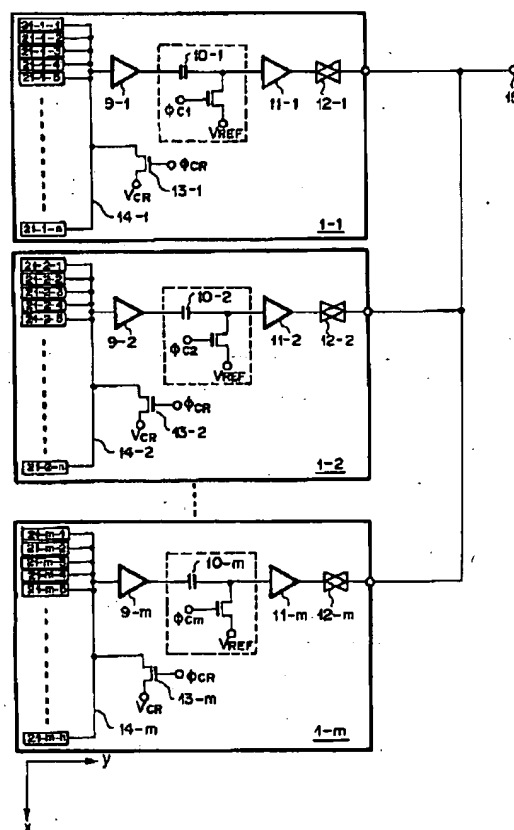
【図3】



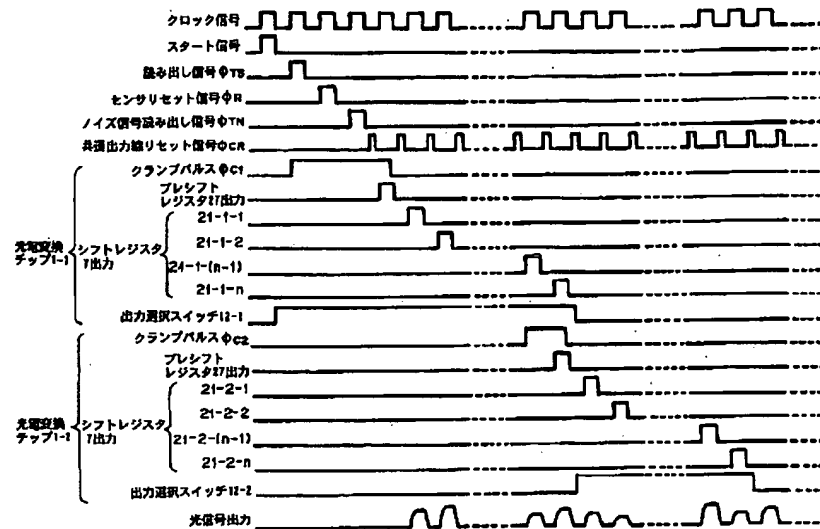
【図4】



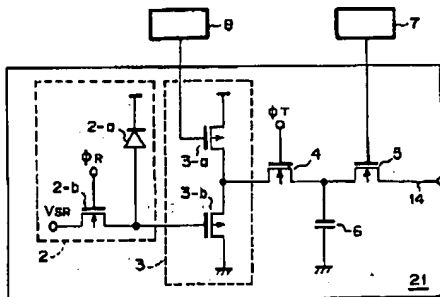
【図8】



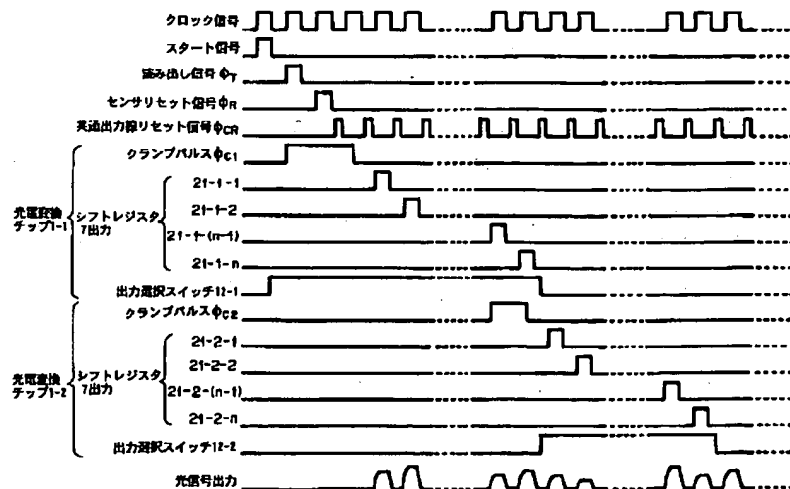
【図6】



【図9】



【図10】



フロントページの続き

Fターム(参考) 4M118 AA05 AB10 BA04 BA14 CA02
CA09 DB01 DD09 DD10 FA06
FA50 GA03 GA04
5C024 AA03 CA06 FA01 FA02 GA01
GA52 HA03 HA10 HA18